

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08222691 A**

(43) Date of publication of application: **30.08.96**

(51) Int. Cl

H01L 25/10

H01L 25/11

H01L 25/18

(21) Application number: **07025482**

(22) Date of filing: **14.02.95**

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **FUKAZAWA NORIO
KAWAHARA KOICHI**

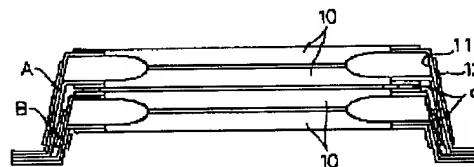
(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To obtain a semiconductor device, using a plurality of TAB semiconductor devices laminated by a new laminating method by combining their front and back faces mutually to mutually contact outer leads, with leaving base material tapes 12 at specified parts of the outer leads.

CONSTITUTION: The front and back faces of TAB semiconductor devices are mutually combined to mutually contact outer leads 11, with leaving base material tapes 12 at specified parts of the leads 11. Mutually faced parts (a) of the tapes 12 may be adhered by an adhesive member. Mutually faced parts A and B of the leads 11 may be bonded, using a conductive paste or anisotropic conductive film. Such a composition ensures a specified strength of the leads 11 when the TAB semiconductor devices are laminated.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222691

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl.⁶

H 0 1 L 25/10
25/11
25/18

識別記号

庁内整理番号

F I

H 0 1 L 25/14

技術表示箇所

Z

審査請求 未請求 請求項の数20 O L (全 12 頁)

(21) 出願番号

特願平7-25482

(22) 出願日

平成7年(1995)2月14日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 深澤 則雄

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 川原 孝一

鹿児島県▲薩▼摩郡入来町副田5950番地
株式会社九州富士通エレクトロニクス内

(74) 代理人 弁理士 石田 敬 (外3名)

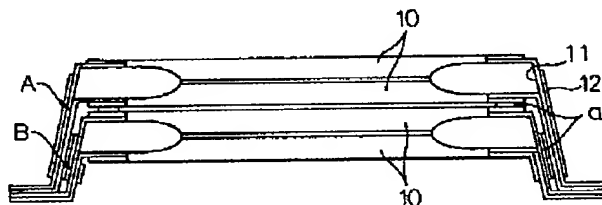
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明は半導体装置に関し、T A B半導体装置を複数個用い、新しい積層法で積層した半導体装置を実現することを目的とする。

【構成】 複数のT A B半導体装置10を用い、その表裏を相互に組み合わせて積層し、相互の OUTERリード11に母材テープ12を残したこと、あるいは、複数のT A B半導体装置10のテープ部23に複数の貫通孔24を設け、該貫通孔24を利用する位置決め手段により位置決めして積層したこと、あるいは、複数のT A B半導体装置10の母材テープ12の OUTERリード実装部に複数のスリット41~46を設け、該スリット部41~46の OUTERリード11を折り曲げて、T A B半導体装置の上面、側面及び下面に外部接続端子を設けて成るように構成する。

本発明の第1の実施例を示す図



10...T A B 半導体装置
11... OUTERリード
12...母材テープ
13...接着部材

【特許請求の範囲】

【請求項1】 複数のTAB（テープオートメイトドボンディング）半導体装置（10）を用い、その表裏を相互に組み合わせて積層し、相互のアウトターリード（11）を接触させると共に、該アウトターリード部（11）に母材テープ（12）を残したことを特徴とする半導体装置。

【請求項2】 上記相互に接触するアウトターリード（11）間を接着剤を用いて固定したことを特徴とする請求項1の半導体装置。

【請求項3】 上記相互に接触するアウトターリード（11）の母材テープ（12）の端部を矩形板状の治具（14）を用いて接着固定したことを特徴とする請求項1の半導体装置。

【請求項4】 上記母材テープ（12）を治具（18～21）にて固定するとき、母材テープ（12）に貫通孔（15）を設けると共に該孔（15）に係合する突起（17）を治具（18～21）に設けたことを特徴とする請求項3の半導体装置。

【請求項5】 TAB半導体装置の表裏を相互に組合せる時、リードパターンの異なる2種のTAB半導体装置（10、10'）を用い、相互のアウトターリード（11）を導電性ペースト（22）を使用して接合したことを特徴とする請求項1の半導体装置。

【請求項6】 上記アウトターリード（11）の基板への実装部分をJの字形又はUの字形に折曲したことを特徴とする請求項1の半導体装置。

【請求項7】 複数のTAB半導体装置（10）を用い、該各TAB半導体装置（10）のテープ部（23）に複数の貫通孔（24）を設け、該貫通孔（24）を利用する位置決め手段により位置決めして積層したことを特徴とする半導体装置。

【請求項8】 上記位置決め手段が、前記テープ部（23）の貫通孔（24）に挿通されるボール（25）であることを特徴とする請求項7の半導体装置。

【請求項9】 上記ボール（25）が複数に分割され凹凸接続部により1本に組立てられることを特徴とする請求項8の半導体装置。

【請求項10】 上記位置決め手段が、前記テープ部（23）の貫通孔（24）に挿通されるボール（25）と、該ボール（25）を挿通する円筒形のスペーサ（26）とよりなることを特徴とする請求項7の半導体装置。

【請求項11】 上記位置決め手段が、前記テープ部（23）の貫通孔（24）に係合する突部（30）を有する枠（32）であることを特徴とする請求項7の半導体装置。

【請求項12】 上記位置決め手段が、前記テープ部（23）の貫通孔（24）に挿入されるボール（25）と、該ボール（25）を挿通する貫通孔（33）を有す

る枠（34）よりなることを特徴とする請求項7の半導体装置。

【請求項13】 上記位置決め手段が、出荷時に半導体装置を収容して出荷する枠型のキャリア（35）に設けられていることを特徴とする請求項7の半導体装置。

【請求項14】 上記TAB半導体装置（10）のアウトターリード（11）に母材テープ（12）を残したことを特徴とする請求項7の半導体装置。

10 【請求項15】 上記アウトターリード（11）に残した母材テープ（12）が対面する部分を接着剤により接着したことを特徴とする請求項14の半導体装置。

【請求項16】 TAB半導体装置（10）の母材テープ（12）のアウトターリード実装部に複数のスリット（41～46）を設け、該スリット部のアウトターリード（11）を折り曲げて、該TAB半導体装置の上面、側面及び下面に外部端子を設けたことを特徴とする半導体装置。

【請求項17】 上記請求項16の半導体装置のアウトターリード（11）を折り曲げて半導体素子（40）側面との間に生じた空間をそのままとした第1の半導体素子（50）と、該空間に断面が略半円状の棒状のスペーサ（54）を配置した第2の半導体装置（55）とを交互に積層したことを特徴とする半導体装置。

【請求項18】 上記請求項16の半導体装置のアウトターリード（11）を折り曲げて半導体素子（40）側面との間に生じた空間に挿入され、上部に突部（56a）を有する断面矩形のブロック（56）と、半導体素子（40）の底部を覆う板状部（57）とよりなる枠（58）を設けて半導体装置（59）を構成し、該半導体装置（59）の複数個を積層して成ることを特徴とする半導体装置。

【請求項19】 上記請求項16の半導体装置を用い、その半導体装置の半導体素子（40）を絶縁材料よりなる断面H形の枠（60）の凹部に収容すると共に、アウトターリード（11）を枠（60）の左右の垂直部の外周に沿わせて折曲し、接着して半導体装置（61）を構成し、該半導体装置（61）の複数個を積層して成ることを特徴とする半導体装置。

【請求項20】 上記請求項16の半導体装置を複数個用い、互いの同一アウトターリードが接続されるように水平方向に接続すると共に、垂直方向に積層して成ることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関する。詳しくは、TABテープを用い、樹脂封止するICパッケージを積層実装及びモジュール化に適した構造とした半導体装置に関する。

【0002】

【従来の技術】 従来のTAB半導体装置を図26に示

す。このTAB半導体装置は、同図に示すように、TABテープよりなるサポートリング1に設けられたインナーリード2に、半導体素子3を、その表面に設けられたパンプ4によりフェースボンディングした後、該半導体素子3及びインナーリード2を樹脂5により封止し、さらにインナーリード2に接続したアウターリード6を所定の形状に折曲形成したものである。

【0003】

【発明が解決しようとする課題】近年、半導体メモリ装置の大容量化が要求されている。そのため単体の半導体装置を複数個用いることが考えられる。しかし前記のような従来の半導体装置を複数個用い、それを平面的に並べて実装しただけでは実装面積が大となる。このため大容量で且つ実装面積の小さい半導体装置として、複数の半導体装置を1つにまとめた半導体装置が要求されている。

【0004】本発明はTAB半導体装置を複数個用い、新しい積層法で積層した半導体装置を実現しようとする。

【0005】

【課題を解決するための手段】本発明の半導体装置に於いては、複数のTAB半導体装置10を用い、その表裏を相互に組み合わせて積層し、相互のアウターリード11を接触させると共に、該アウターリード部11に母材テープ12を残したことを特徴とする。

【0006】また、本発明の半導体装置においては、複数のTAB半導体装置10を用い、該各TAB半導体装置10のテープ部23に複数の貫通孔24を設け、該貫通孔24を利用する位置決め手段により位置決めして積層したことを特徴とする。

【0007】また、本発明の半導体装置においては、TAB半導体装置10の母材テープ12のアウターリード実装部に複数のスリット41～46を設け、該スリット部41～46のアウターリード11を折り曲げて、該TAB半導体装置の上面、側面及び下面に外部端子を設けたことを特徴とする。この構成を採ることにより、TAB半導体装置を複数個用い、新しい積層法で積層した半導体装置が得られる。

【0008】

【作用】本発明では、複数のTAB半導体装置を積層し、そのリードを接触させること、又は、スペーサ、枠等を用いて積層させること、又は、母材テープのアウターリードの実装部にスリットを設け、該部でアウターリードを折り曲げて半導体装置の側面、上面及び下面に外部接続端子を設け、このTAB半導体装置を積層することにより、新しい積層法で積層した半導体装置が得られる。

【0009】

【実施例】図1は本発明の第1の実施例を示す図である。本実施例は請求項1及び2に対応するもので、複数

のTAB半導体装置10の表裏を相互に組み合わせ、アウターリード11を互いに接触させ、且つ該アウターリード11の所定箇所に母材テープ12を残したものである。この場合、母材テープ12同士が対面する箇所aは接着部材13で接着しても良い。さらにアウターリード11のA、Bで示す箇所には対面するリード同士を導電性ペーストや異方性導電膜を用いて接合しても良い。

【0010】このように構成された本実施例は、複数のTAB半導体装置を積層した場合に、アウターリード11の強度を確保することができる。なお図2に示す比較例のように、複数のTAB半導体装置を同一方向に積層した場合には各リードがはなればなれとなり、アウターリード11の強度確保が困難となる。

【0011】図3は本発明の第2の実施例を示す図である。本実施例は請求項3に対応するもので、複数のTAB半導体装置10の表裏を相互に組み合わせ、アウターリード11を互いに接触させ、且つ該アウターリード11の所定箇所に母材テープ12を残し、該母材テープ12をまとめてその端部を矩形板状の治具14を用いて接着固定したものである。

【0012】このように構成された本実施例は、治具14によりアウターリード11の位置決め及び補強が可能となる。なお本実施例は治具を用いたが、図4の如く治具を用いず、アウターリード同士及び母材テープ同士を接着剤で接着固定してアウターリードの補強を行うこともできる。

【0013】図5及び図6は本発明の第3の実施例を示す図である。本実施例は請求項4に対応するもので、先ず図5の如くアウターリード部に残した母材テープ12の所定位置（図においては母材テープの両端部）に位置決め用の貫通孔15を設けておき、図6（b）の如く凹部16、凸部17により結合できる治具18～21を用い、図6（a）の如く積層したTAB半導体装置10のリード部に残した母材テープ12を挟み、該母材テープ12の貫通孔15に治具の凸部17を嵌合させて結合したものである。

【0014】このように構成された本実施例は治具18～21により、アウターリードに残した母材テープ12の貫通孔15を凸部17により位置決めすることができ、且つ該治具18～21によりアウターリード11を補強することができる。

【0015】図7は本発明の第4の実施例を示す図である。本実施例は請求項5に対応するもので、TAB半導体装置10の表裏を相互に組み合わせる時、2種のアウターリードパターンのTAB半導体装置を準備する。例えば、図7（a）、及び図7（a）のc部を拡大して示す図7（c）に示すように、主リード11aと該主リード11aとの間に空間を設けて配置された副リード11bを有するTAB半導体装置10と、図7（b）、及び図7（b）のd部を拡大して示す図7（d）に示すよう

10

20

30

40

50

に主リード11aのみを有するTAB半導体装置10'を準備する。

【0016】そして2種のTAB半導体装置10, 10'を積層するとき、アウターリードは、(e)図の断面図に示すように、一方のTAB半導体装置の主リード11aと副リード11bとの間に導電性ペースト22を塗布し、そこに他方のTAB半導体装置のアウターリード11を重ね合わせる。このように構成された本実施例は、両TAB半導体装置10, 10'のアウターリード11の接触面積を導電性ペースト22により稼ぎ、且つ10

接触を確実にすることができる。
【0017】図8は本発明の第5の実施例を示す図である。本実施例は請求項6に対応するもので、複数のTAB半導体装置10の表裏を相互に組み合わせ、そのアウターリード11の先端の実装部を図8(a)の如くJの字形に形成するか、または図8(b)の如くUの字形に形成したものである。このように形成された本実施例は更なる小型化と、アウターリードの強度向上が可能となる。

【0018】図9は本発明の第6の実施例を示す図である。本実施例は請求項7～9に対応するもので、(a)図の如く複数のTAB半導体装置10のテープ部23の四隅に位置決め用の貫通孔24を設けておき、該貫通孔24に(b)図の如くボール25を挿入して各TAB半導体装置10を位置決めして積層し、アウターリード11はそれぞれ対応するものを実装部で重ね合わせている。このように構成された本実施例は、積層した各TAB半導体装置の位置決めが確実となる。

【0019】図10は本発明の第7の実施例を示す図である。本実施例は請求項10に対応するもので前実施例と基本的には同様であり、異なるところは、各TAB半導体装置の位置決め用のボール25の他にスペーサ26を各TAB半導体装置間に用いたものである。なおボール25とスペーサ26の代りに図11に示すように、凹部27と凸部28を有して連結できる分割式ボール29を用いても良く、その際は凸部28がTAB半導体装置の貫通孔に係合して位置決めすることができる。このように構成された本実施例はTAB半導体装置の上下方向の位置決めもできる。

【0020】図12は本発明の第8の実施例を示す図である。本実施例は請求項11に対応するもので、同図(b)に示すようにTAB半導体装置のテープ部に設けられた貫通孔に係合する突部30と該突部に対応した凹部31を四隅に有する枠32を用意し、その突部30をTAB半導体装置の貫通孔に係合させ、同図(a)の如くTAB半導体装置10と交互に積層したものである。このように構成された本実施例は枠32によりTAB半導体装置の上下及び水平方向の位置決めができる。

【0021】図13は本発明の第9の実施例を示す図である。本実施例は請求項12に対応するもので、同図

(b)に示すようにボール25と、該ボールを挿通することができる貫通孔33を有する枠34とを用い、

(a)図の如く各TAB半導体装置10の間に枠34を挟み、各TAB半導体装置に設けられた貫通孔24と、枠34の貫通孔33をボール25により挿通してTAB半導体装置を積層したものである。このように構成された本実施例は、TAB半導体装置の上下方向を枠34により、水平方向をボール25により位置決めすることができる。

【0022】図14は本発明の第10の実施例を示す図である。本実施例は請求項13に対応するもので、TAB半導体装置の位置決め手段として出荷時に半導体装置を収容して出荷する枠型のキャリア35を利用したもので、(a)図はキャリア35にボール36を設けたもので、(b)図はキャリア35に枠37を設けたもので、(c)図はキャリア35にスペーサ38を設けたものである。このように構成された本実施例はTAB半導体装置を上下方向及び水平方向の位置決めができる。なおこのキャリア35は積層時にそのまま利用するか、または必要部分を残して切断される場合もある

【0023】図15は本発明の第11の実施例を示す図である。本実施例は、複数のTAB半導体装置10を積層した半導体装置のアウターリード11を、基板との接合強度を上げる目的で、(a)図の如くJの字状に折曲したこと、また(b)図の如くUの字状に折曲したことで、その他は第6の実施例と同様である。このように構成された本実施例はアウターリード11の強度及び基板への接着強度の向上が得られる。

【0024】図16は本発明の第12の実施例を示す図である。本実施例は請求項14に対応するもので、複数のTAB半導体装置10を積層した半導体装置のアウターリード11に母材テープ12をアウターリード折り曲げ部付近に残したもので、その他は第6の実施例と同様である。このように構成された本実施例は母材テープによりアウターリードが補強される。

【0025】図17は本発明の第13の実施例を示す図である。本実施例は請求項15に対応するもので、複数のTAB半導体装置10をボール25を用いて積層し、且つアウターリード11に残した母材テープ12同士が対向する部分を接着剤にて接着固定したものである。このように構成された本実施例はボール25により位置決めされ、且つアウターリード11に残した母材テープ12の接合によりアウターリード11の強度を向上することができる。

【0026】図18及び図19は本発明の第14の実施例を示す図である。本実施例は請求項16及び17に対応するもので、先ず、図18(a)に示すようにTAB半導体装置10の半導体素子40上に接着固定された母材テープ12のアウターリード支持部分に複数本のスリット41～46を設け、(b)図に示すように半導体素

子40の左右に最も近いスリット41、42を90°谷折り状に折り曲げ、次のスリット43、44にて180°折り曲げ上面外部端子47を形成し、さらに最外側のスリット45、46を一旦90°谷折り状に折り曲げた後、U字状に折り曲げて側面の外部端子48を形成し、さらにアウターリード先端の母材テープ12を半導体素子40の背面に接着層を介して固定し、下面の外部端子49を形成して第1の半導体装置50とする。なお上面外部端子47は封止樹脂51の表面より高くしておく必要がある。なお図において符号52はバンプ、53はインナーリードである。

【0027】また同図(c)に示すように第1の半導体装置50のU字状に折り曲げたアウターリード11と半導体素子40の側面との間にできた空間に絶縁物で形成された断面略半円状の棒状のスペーサ54を配置して第2の半導体装置55とする。

【0028】本実施例は上記の第1の半導体装置50と第2の半導体装置55とを図19に示すように交互に積み重ね、下面の外部端子49と、それに対応する上面の外部端子47とを接続して積層したものである。このように構成された本実施例は、従来のTAB半導体装置では困難であった積層実装が可能となる。

【0029】図20及び図21は本発明の第15の実施例を示す図である。本実施例は請求項18に対応するもので、図20(a)に示すようにTAB半導体装置10の半導体素子40上に接着固定された母材テープ12のアウターリード支持部分に複数本のスリット41~46を設け、これを(b)図に示すように上部に突部56aを有する断面矩形のブロック56と、底部の板状部57とを有する絶縁材よりなる枠58と組み合わせ、アウターリード11を各スリット41~46部分で折り曲げて、ブロック56の外周に沿わせ、上面の外部端子47、側面の外部端子48及び下面の外部端子49を形成している。なお上面の外部端子47は封止樹脂51の表面より高くしておく必要がある。また枠58は絶縁性、放熱性に優れた材料を用いることが好ましい。

【0030】本実施例は上記のように形成された半導体装置を図21に示すように複数個積み重ね、その下面の外部端子49と上面の外部端子47とを異方性導電フィルム等を用いて接続して積層したものである。このように構成された本実施例は前実施例と同様に、従来のTAB半導体装置では困難であった積層実装が可能となる。

【0031】図22及び23は本発明の第16の実施例を示す図である。本実施例は請求項19に対応するもので、図22(a)に示すようにTAB半導体装置10の半導体素子40上に接着固定された母材テープ12のアウターリード支持部分に複数本のスリット41~44を設け、これを(b)図に示すように絶縁材料で形成された断面H形の枠60と組み合わせ、アウターリード11

を枠60の外周に沿わせて折曲し、母材テープを接着層を介して固定し、上面の外部端子47、側面の外部端子48、及び下面の外部端子49を形成する。なお枠60の板状部からの下面の外部端子49の高さは上面の外部端子47から封止樹脂51の表面までの高さより高いことが必要である。

【0032】本実施例は上記のように形成された半導体装置61を図23に示すように複数個積み重ね、その下面の外部端子49と上面の外部端子47とを異方性導電フィルム等で接続して積層したものである。本実施例によれば前実施例と同様に、従来のTAB半導体装置では困難であった積層実装が可能となる。

【0033】図24及び図25は本発明の第17の実施例を示す図である。本実施例は請求項20に対応するもので、第14乃至第16の実施例における半導体装置を用いることができる。1例として第15の実施例における半導体装置59を用いたものについて説明する。

【0034】先ず、図24に示すように、(a)の側面図及び(b)の上面図に示す半導体装置59を、その上面が上を向くように置き、これと同様な半導体装置59'を(c)(d)図に示すように裏返し、且つ一方の辺の側面外部端子A~Eをそれぞれ他方の半導体装置59の同一の側面外部端子A~Eに対向させて置き、同一端子同士を接続する。

【0035】このように水平方向に複数個接続した半導体装置59、59'を複数組用意し、これを図25に示すように垂直方向に積み重ね、その上面外部端子47と下面外部端子49とを接続して積層する。このように構成された本実施例は、複数のTAB半導体装置を水平及び垂直方向に接続でき、高密度実装が可能となる。

【0036】

【発明の効果】本発明に依れば、従来のTAB構造に大きく手を加えることなく、取扱、汎用性に優れた半導体装置が得られ、従来のTAB半導体装置では困難であった積層実装を可能とし、小型・薄型の半導体装置の複数個を用いた新しい高密度実装が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す図である。

【図2】本発明の第1の実施例に対する比較例を示す図である。

【図3】本発明の第2の実施例を示す図である。

【図4】本発明の第2の実施例の変形例を示す図である。

【図5】本発明の第3の実施例を示す図である。

【図6】本発明の第3の実施例を示す図である。

【図7】本発明の第4の実施例を示す図である。

【図8】本発明の第5の実施例を示す図である。

【図9】本発明の第6の実施例を示す図である。

【図10】本発明の第7の実施例を示す図である。

【図11】本発明の第7の実施例におけるポールの変形

10

20

30

40

50

例を示す図である。

【図12】本発明の第8の実施例を示す図で、(a)は側面図、(b)は枠を示す斜視図である。

【図13】本発明の第9の実施例を示す図で、(a)は側面図、(b)は枠及びボールを示す斜視図である。

【図14】本発明の第10の実施例を示す図である。

【図15】本発明の第11の実施例を示す図である。

【図16】本発明の第12の実施例を示す図である。

【図17】本発明の第13の実施例を示す図である。

【図18】本発明の第14の実施例を示す図で、(a) 10はTAB半導体装置の平面図、(b)は第1の半導体装置の側面図、(c)は第2の半導体装置の側面図である。

【図19】本発明の第14の実施例を示す図である。

【図20】本発明の第15の実施例を示す図で、(a)はTAB半導体装置の平面図、(b)は半導体装置の側面図である。

【図21】本発明の第15の実施例を示す図である。

【図22】本発明の第16の実施例を示す図で、(a)はTAB半導体装置の平面図、(b)は半導体装置の側 20面図である。

【図23】本発明の第16の実施例を示す図である。

【図24】本発明の第17の実施例を示す図である。

【図25】本発明の第17の実施例を示す図である。

【図26】従来の半導体装置を示す図である。

【符号の説明】

10, 10' ...TAB半導体装置

11 ...アウターリード

12 ...母材テープ

13 ...接着部材

14, 18~21 ...治具

15, 24, 33 ...貫通孔

16, 27, 31 ...凹部

17, 28, 30 ...凸部

22 ...導電性ペースト

23 ...テープ部

25, 29, 36 ...ボール

26, 38, 54 ...スペーサ

32, 34, 37, 58, 60 ...枠

35 ...キャリア

40, 59, 59', 61 ...半導体装置

41~46 ...スリット

47 ...上面外部端子

48 ...側面外部端子

49 ...下面外部端子

50 ...第1の半導体装置

51 ...封止樹脂

52 ...パンプ

53 ...インナーリード

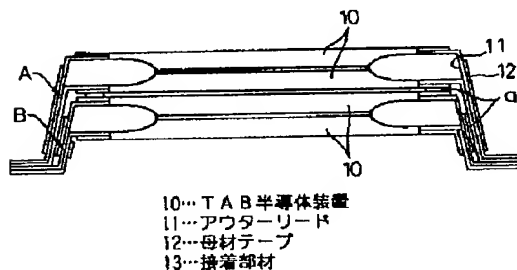
55 ...第2の半導体装置

56 ...ブロック

57 ...板状部

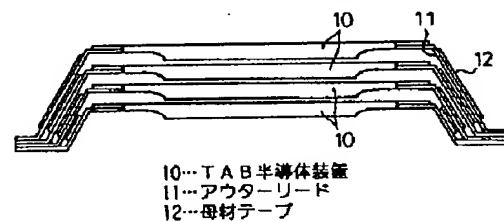
【図1】

本発明の第1の実施例を示す図



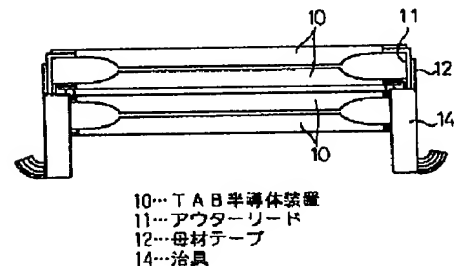
【図2】

本発明の第1の実施例に対する比較例を示す図



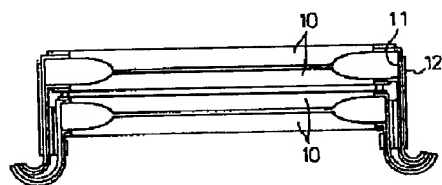
【図3】

本発明の第2の実施例を示す図



【図4】

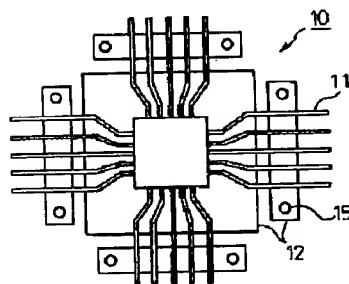
第2の実施例の変形例を示す図



10…TAB半導体装置
11…アウターリード
12…母材テープ

【図5】

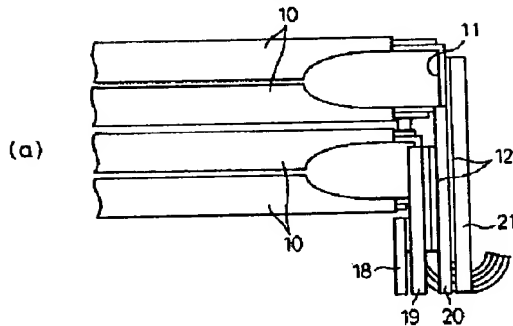
本発明の第3の実施例を示す図



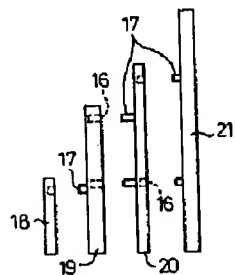
10…TAB半導体装置
11…アウターリード
12…母材テープ
15…貫通孔

【図6】

本発明の第3の実施例を示す図



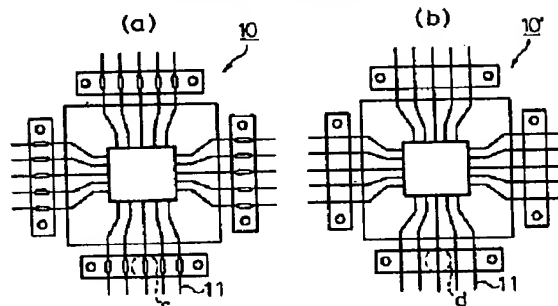
(b)



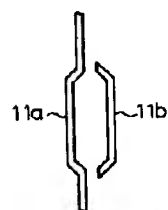
10…TAB半導体装置
11…アウターリード
12…母材テープ
16…凹部
17…凸部
18～21…治具

【図7】

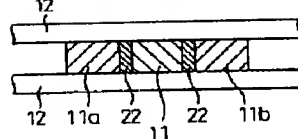
本発明の第4の実施例を示す図



(c)



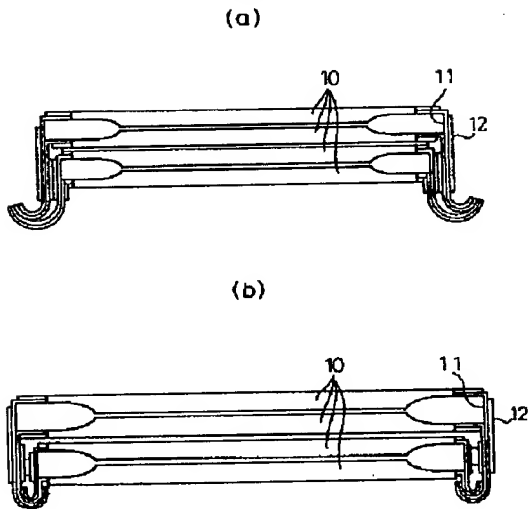
(e)



10, 10'…TAB半導体装置
11…アウターリード
11a…主リード
11b…副リード
12…母材テープ
22…導電性ペースト

【図 8】

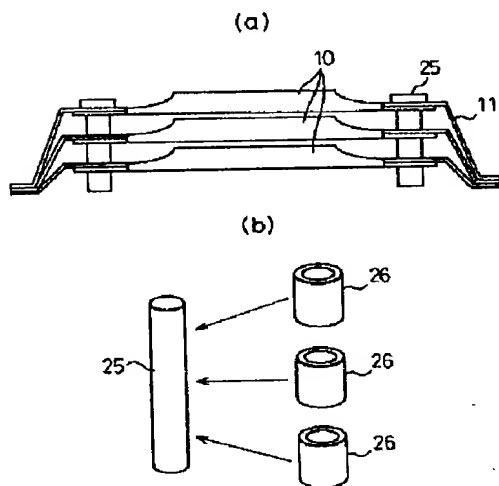
本発明の第 5 の実施例を示す図



10…TAB 半導体装置
11…アウターリード
12…母材テープ

【図 10】

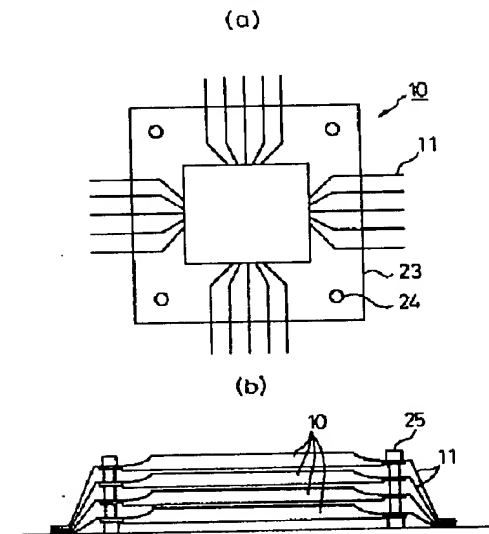
本発明の第 7 の実施例を示す図



10…TAB 半導体装置
11…アウターリード
25…ボール
26…スペーサ

【図 9】

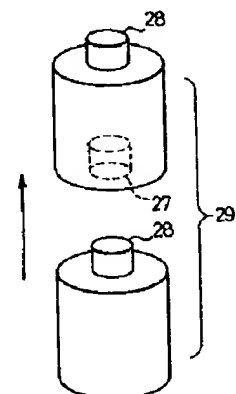
本発明の第 6 の実施例を示す図



10…TAB 半導体装置
11…アウターリード
23…テープ部
24…貫通孔
25…ボール

【図 11】

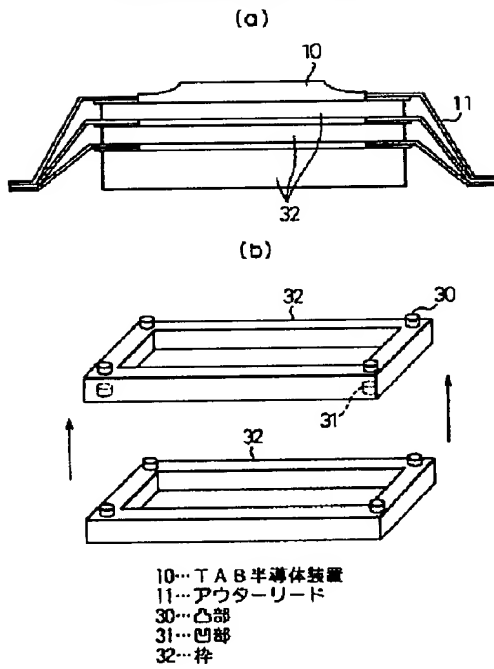
本発明の第 7 の実施例におけるボールの変形例を示す図



27…凹部
28…凸部
29…ボール

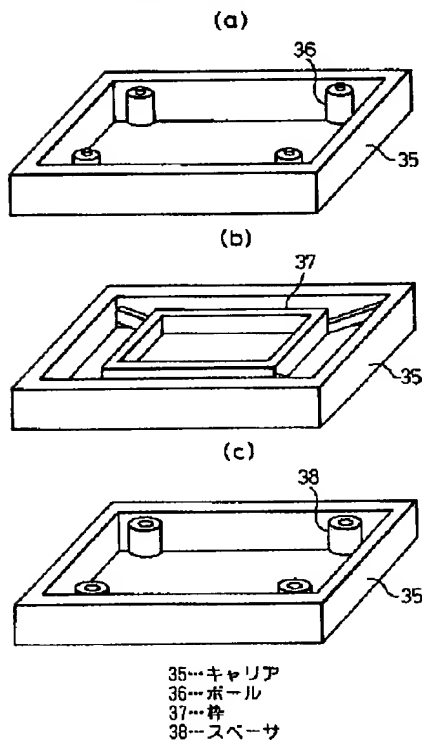
【図12】

本発明の第8の実施例を示す図



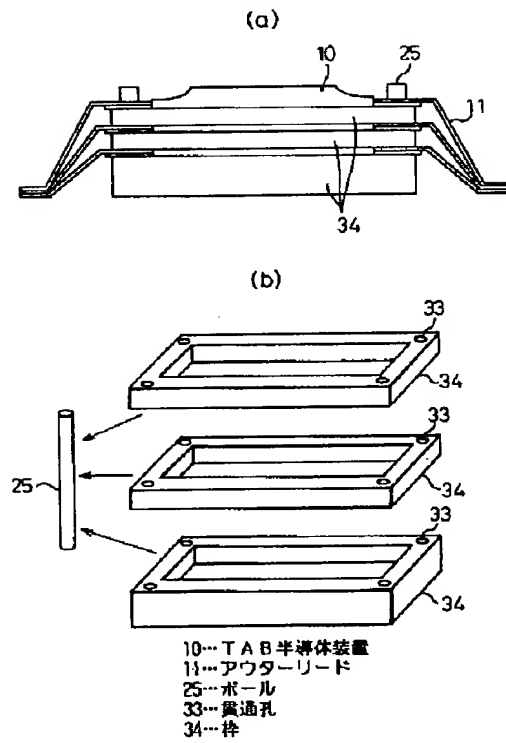
【図14】

本発明の第10の実施例を示す図



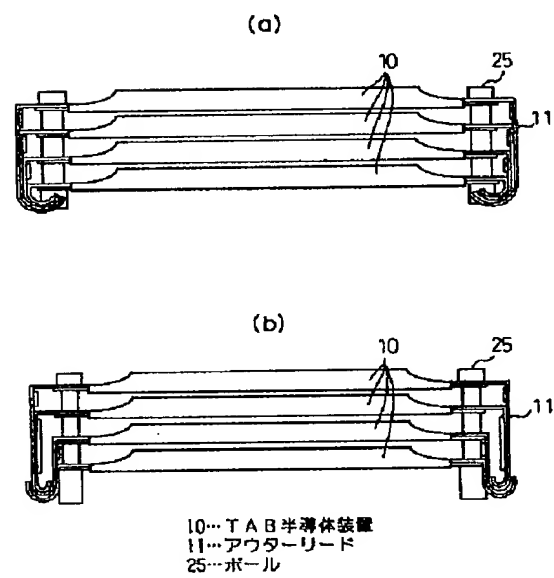
【図13】

本発明の第9の実施例を示す図



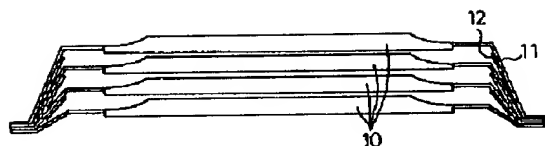
【図15】

本発明の第11の実施例を示す図



【図16】

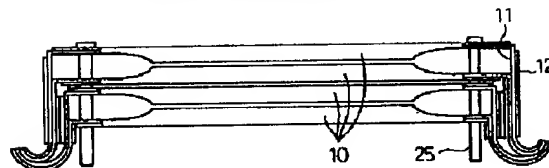
本発明の第12の実施例を示す図



10…TAB半導体装置
11…アウターリード
12…母材テープ

【図17】

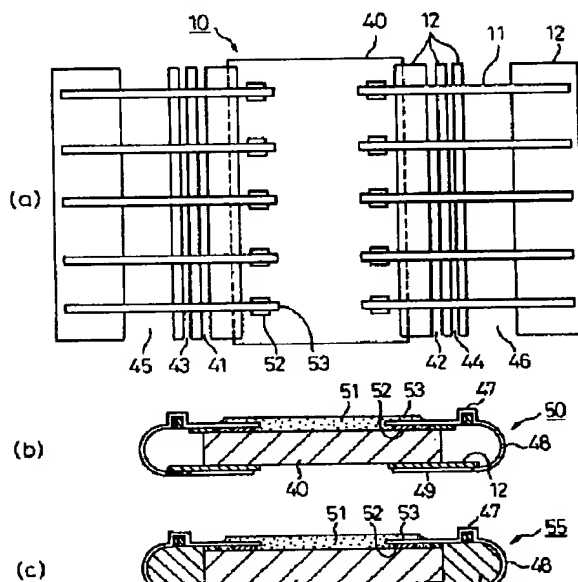
本発明の第13の実施例を示す図



10…TAB半導体装置
11…アウターリード
12…母材テープ
25…ボール

【図18】

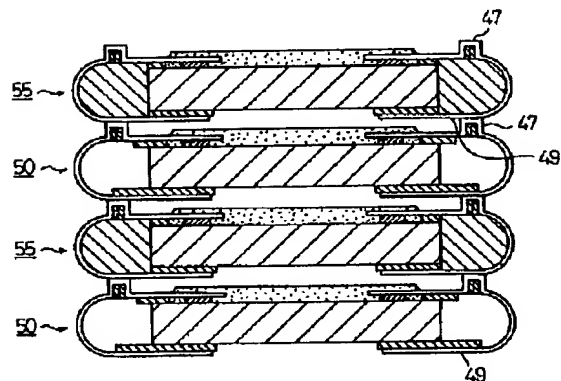
本発明の第14の実施例を示す図



10…TAB半導体装置
11…アウターリード
12…母材テープ
40…半導体素子
41~46…スリット
47…上面外部端子
48…側面外部端子
49…下面外部端子
50…第1の半導体装置
51…封止樹脂
52…パンプ
53…インナーリード
54…スペーサ
55…第2の半導体装置

【図19】

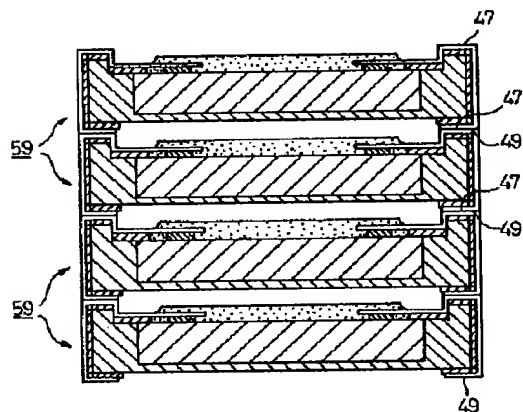
本発明の第14の実施例を示す図



47…上面外部端子
49…下面外部端子
50…第1の半導体装置
55…第2の半導体装置

【図21】

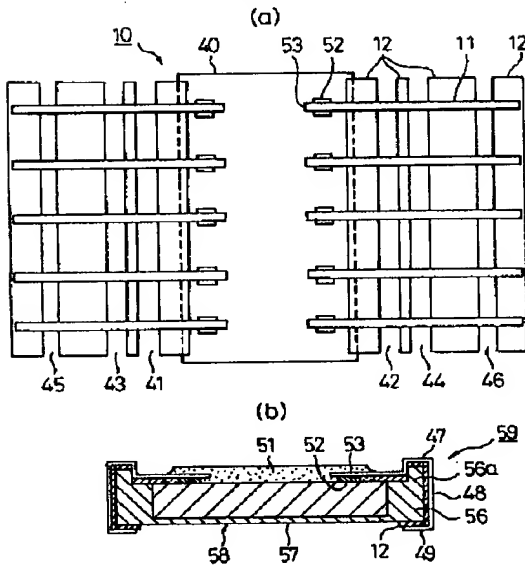
本発明の第15の実施例を示す図



47…上面外部端子
49…下面外部端子
59…半導体装置

【図20】

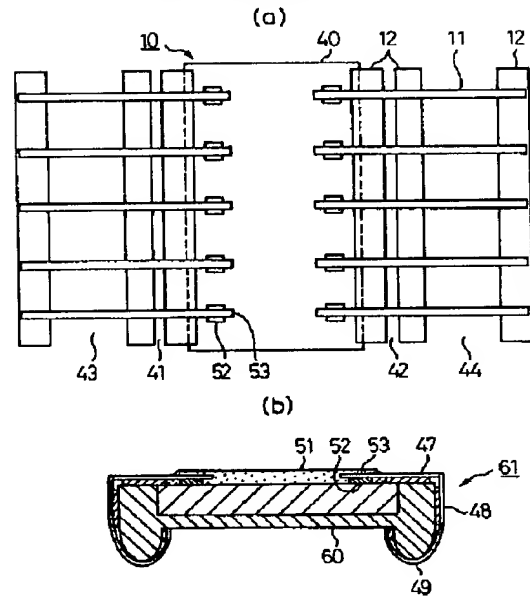
本発明の第15の実施例を示す図



- 10…TAB 半導体装置
11…アウターリード
12…母材テープ
40…半導体素子
41～46…スリット
47…上面外部端子
48…側面外部端子
49…下面外部端子
- 51…封止樹脂
52…パンプ
53…インナーリード
54…ブロック
55…突起部
56…板状部
57…枠
58…半導体装置
59…半導体装置

【図22】

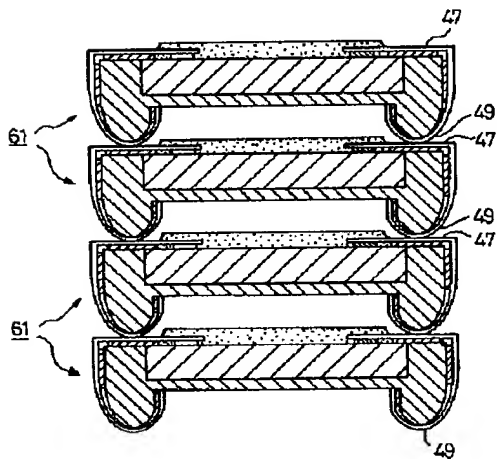
本発明の第16の実施例を示す図



- 10…TAB 半導体装置
11…アウターリード
12…母材テープ
40…半導体素子
41～44…スリット
47…上面外部端子
48…側面外部端子
- 49…下面外部端子
51…封止樹脂
52…パンプ
53…インナーリード
60…枠
61…半導体装置

【図23】

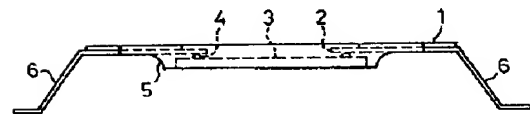
本発明の第16の実施例を示す図



- 47…上面外部端子
49…下面外部端子
61…半導体装置

【図26】

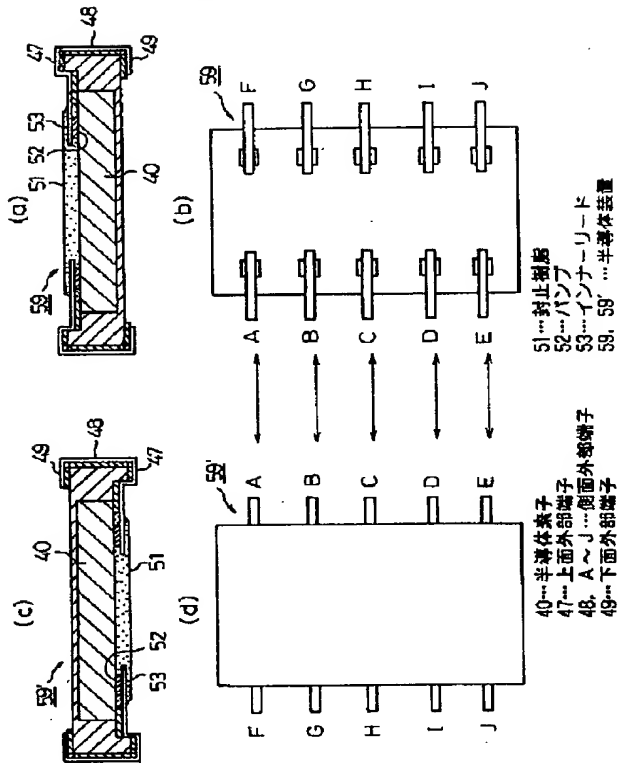
従来の半導体装置を示す図



- 1…サポートリング
2…インナーリード
3…半導体素子
4…パンプ
5…樹脂
6…アウターリード

【図24】

本発明の第17の実施例を示す図



【図25】

本発明の第17の実施例を示す図

